

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-274980

(43) 公開日 平成11年(1999)10月8日

(51) Int.Cl.<sup>8</sup>

H 0 4 B 1/707

H 0 3 H 17/02

識別記号

6 0 1

F I

H 0 4 J 13/00

H 0 3 H 17/02

D

6 0 1 Z

審査請求 未請求 請求項の数 5 O L (全 7 頁)

(21) 出願番号

特願平10-74705

(22) 出願日

平成10年(1998)3月23日

(71) 出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72) 発明者 高橋 聡一

東京都大田区中馬込1丁目3番6号 株式会社リコー内

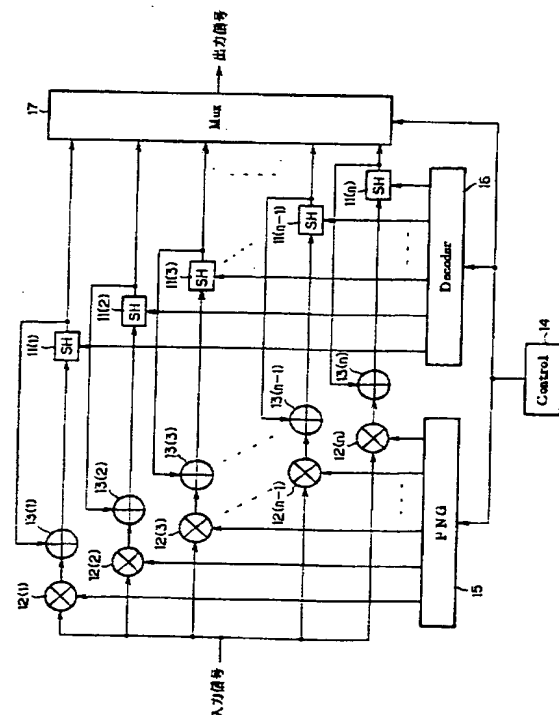
(74) 代理人 弁理士 高野 明近

(54) 【発明の名称】 マッチトフィルタ回路

(57) 【要約】

【課題】 マッチトフィルタ回路において、サンプルホールド (SH) 回路同士の信号 (相関値) の受け渡しによる誤差の発生を無くし、回路規模を小さくすると共に回路全体の消費電力を抑える。

【解決手段】 複数の一定のタイミングで順に動作する SH 回路のそれぞれにおいて総和相関値を求める。つまり、SH 回路で保持する値と前記タイミングで位相変化する相関を取るべき信号とを前記タイミングで積算し、その値と SH 回路で保持する値との和 (総和相関値) を求め、その値を次のタイミングでの前記各 SH 回路の値とする。前記各 SH 回路の出力は 1 周期に 1 度だけ前記位相の順に出力して後クリアされる。その過程で相関ピークを算出する SH 回路を検索し、該回路を通信に必要な相関ピークを出力する SH 回路を推定する。以後は該 SH 回路のみを用い、それ以外の SH 回路及びその付帯回路の動作を停止する。



## 【特許請求の範囲】

【請求項 1】 1 周期に 1 度出力後にクリアされ、その他のタイミングでは、入力信号と前記タイミングで位相変化する相関を取るべき信号とを積算し、その積算値と自己保持する値との和を次のタイミングにおける値として自己保持するサンプルホールド回路を、前記タイミングで順次動作するようにして複数個備え、該複数のサンプルホールド回路の出力を前記相関を取るべき信号の位相の順に選択し、出力するようにしたことを特徴とするマッチトフィルタ回路。

【請求項 2】 請求項 1 に記載されたマッチトフィルタ回路において、相関ピークを出力サンプルホールド回路を検索しかつ、該サンプルホールド回路以外のサンプルホールド回路及びその付帯回路を停止する機能を有することを特徴するマッチトフィルタ回路。

【請求項 3】 請求項 1 に記載されたマッチトフィルタ回路において、サンプルホールド回路の数を相関を取る信号の 1 周期分の位相の数より少ない数だけ用意し、相関ピークを検出するように前記相関を取るべき信号の位相を制御することを特徴とするマッチトフィルタ回路。

【請求項 4】 請求項 3 に記載された前記マッチトフィルタ回路を複数備え、相関ピークを検出する際には、前記複数のマッチトフィルタがそれぞれ前記相関をとるべき信号の 1 周期の異なる位相における相関値を得ることにより、相関ピークを出力するマッチトフィルタ回路を検索し、相関ピーク検出後は、該マッチトフィルタ回路は前記相関ピークを検出し続け、他のマッチトフィルタ回路は相関ピークに達する信号を検出することを特徴とするマッチトフィルタ回路。

【請求項 5】 請求項 4 に記載されたマッチトフィルタ回路において、符号分割多重信号を復調する際に、相関ピークを検出する際には 1 つの相関を取るべき信号を全てのマッチトフィルタで検索し、相関ピーク検出後は 1 つのマッチトフィルタ回路は該相関を取るべき信号の相関ピークを検出し続け、他のマッチトフィルタは他の相関を取るべき信号を検出することを特徴とするマッチトフィルタ回路。

$$\{d_1, d_2, d_3, \dots, d_{n-1}, d_n\} \quad (1)$$

を得ていた。そして、それぞれ SH 回路からの信号を乗

$$\{h_1, h_2, h_3, \dots, h_{n-1}, h_n\} \quad (2)$$

を掛け合わせ、その和を加算器 13 で加算することによ

$$C = h_1 d_1 + h_2 d_2 + \dots + h_{n-1} d_{n-1} + h_n d_n \quad (3)$$

【0004】しかし、従来の方法では、(1) SH 回路から次段の SH 回路への伝達のロスがあるため、SH 回路間の信号の受け渡しの際に誤差を生じる。SH 回路の段数が多くなるほどこの誤差は蓄積していくため、マッチトフィルタ器全体では大きな誤差となって出力に見われる問題があった。また、従来のマッチトフィルタ回路を全てデジタル回路で実現する際などには、マッチトフィルタ回路に使用される総和を計算する回路 13 が複雑

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、CDMA 通信等に使用される相関器、特にスペクトル拡散通信に応用可能なマッチトフィルタに関するものである。

## 【0002】

【従来の技術】マッチトフィルタ (Matched Filter)

は、スペクトル拡散通信に使用されるフィルタであり、ある特定の信号波形に対して鋭いピーク状の出力を発生させる。この方式に使用される回路には、通常、信号を遅延させる素子が必要であり、アナログ素子で遅延素子を実現する場合には、弾性表面波 (SAW) 素子や電荷結合 (CCD) 素子が使用されてきた。また、デジタル回路による遅延はフリップフロップ回路等を使用して実現する。アナログ回路による遅延素子を使用した場合は、1 つの IC によって実現することが不可能であり、また、デジタル回路を使用した場合は特に加算器が大きくなる問題点があった。

## 【0003】

【発明が解決しようとする課題】図 6 に従来のマッチトフィルタの例を示す。図において、11 (1) ~ 11 (n) はサンプルホールド回路 (以下、SH 回路と指称する)、12 (1) ~ 12 (n) は乗算器、13 は加算器、15 は相関を取るべき信号の係数群を発生する計数発生回路である。SH 回路は、例えば、スイッチトキャパシタ回路によるもの、小石、藤田、益、坪内、「Si プロセスを用いた高速、低消費電力 Matched Filter」信学技報、SST97-50, pp.51-56, 1997 に記載のカレント・ディレイ・フリップ・フロップによるもの、また、デジタル回路におけるフリップフロップ回路など、ある状態量を 1 タイミングの間以上、保持できる素子である。従来のマッチトフィルタ回路では、SH 回路 11 (1) から 11 (n) までを縦列に接続し、前段の SH 回路から次段の SH 回路に入力信号を渡すことによって、入力信号を 1 から n までのタイミングだけ遅延させた複数の信号

算器 12 (1) ~ 12 (n) で相関を取るべき係数群

り、下式で表される相関値 C を得ていた。

になるなどの問題があった。請求項 1 に係る発明の目的は、それぞれの SH 回路で別個に総和を計算するようにし、それによって、SH 回路同士の値の受け渡しを無くし、相関値の誤差を小さくし、各 SH 回路の出力の総和を取る回路の必要をなくし、マッチトフィルタ回路全体の規模を小さくすることである。

【0005】また、マッチトフィルタ回路の出力は、通常、1 周期に 1 度、相関ピークを出力し、この相関のみ

が通信に必要となる。従って、各SH回路が、それぞれ  
 1 周期の各位相における値を出力することになる。  
 このため、相関ピーク部分を出力するのは、ほぼ同  
 一のSH回路になる。従って、請求項2に係る発明の目  
 的は、相関ピーク値を出力するSH回路を推定し、一旦  
 相関ピークを出力するSH回路を推定した後は、相関  
 ピークに関係ないSH回路とその周辺回路を停止させ  
 ることにより、消費電力を抑えることができるように  
 することである。

【0006】以上のように、相関ピーク検出後は必要と  
 するSH回路の数を少なくとも1つに減らすことができ  
 る。従って、請求項3に係る発明の目的は、マッチ  
 トフィルタ回路に使用されるSH回路数を減らし、消  
 費電力をさらに抑えるとともに、回路規模を小さく  
 することができるようにすることである。

【0007】移動体通信でCDMA通信を行う場合など  
 は、マルチパスに起因するフェージング現象が起き  
 得る。これは送信局からの直接受信局に到達する直  
 達波に対して、建造物等に反射してから受信局に到  
 達する間接波とが、波の干渉を起こし、受信電波を  
 弱めるためである。このようなマルチパスによる  
 フェージング現象に対してはスペクトル拡散通信  
 ではRAKE方式による補正を行うことができる。  
 マッチトフィルタでは、マルチパスの影響を受けた  
 信号を受信した場合、直達波に対する相関ピーク  
 の他に間接波に対する相関ピークが時間的に分離  
 されて出力される。従って、請求項4に係る発明の  
 目的は、マッチトフィルタを用いてRAKE方式を簡  
 単に実現し、復調能力の高い受信機を安価にて製  
 作することができるようにすることである。

【0008】請求項4に係る発明で使用した複数のマ  
 ッチトフィルタについては、また別の使用方法があ  
 る。米国におけるCDMA通信の規格IS-95では、1  
 つのコード（相関を取るべき信号）をパイロット  
 チャネルとして使用し、別のコードにおいて、情  
 報伝達を行う。請求項5の目的は、このようなCD  
 MA通信に対し、パイロットチャネルの相関ピーク  
 を検出する際には、複数のマッチトフィルタでパイ  
 ロットチャネルの相関ピークを検出し、相関ピー  
 クを検出した後は、1つのマッチトフィルタで相  
 関ピークを出力し、他のマッチトフィルタは情報  
 信号を復調できるようにして、相関ピークの検出  
 回路と情報復調回路が1つで済むようにして、回  
 路の簡略化を行うことである。

【0009】

【課題を解決するための手段】請求項1の発明は、1  
 周りに1度出力後にクリアされ、その他のタイミ  
 ングでは、入力信号と前記タイミングで位相変化  
 する相関を取るべき信号とを積算し、その積算値  
 と自己保持する値との和を次のタイミングにお  
 ける値として自己保持するサンプルホールド回  
 路を、前記タイミングで順次動作するようにして  
 複数個備え、該複数のサンプルホールド回路

の出力を前記相関を取るべき信号の位相の順に選  
 択し、出力するようにしたマッチトフィルタ回路  
 である。

【0010】請求項2の発明は、請求項1に記載され  
 たマッチトフィルタ回路において、相関ピークを  
 出力するサンプルホールド回路を検索し、該サ  
 ンプルホールド回路以外のサンプルホールド回  
 路及びその付帯回路を停止する機能を有するマ  
 ッチトフィルタ回路である。

【0011】請求項3の発明は、請求項1に記載され  
 たマッチトフィルタ回路において、サンプルホ  
 ルド回路の数を相関を取る信号の1周期の位相  
 の数より少ない数だけ用意し、相関ピークを  
 検出するように前記相関を取るべき信号の位  
 相を制御するマッチトフィルタ回路である。

【0012】請求項4の発明は、請求項3に記載され  
 た前記マッチトフィルタ回路を複数備え、相関  
 ピークを検出する際には、前記複数のマッチ  
 トフィルタがそれぞれ前記相関をとるべき信  
 号の1周期の異なる位相における相関値を得  
 ることにより、相関ピークを出力するマッ  
 チトフィルタ回路を検索し、相関ピーク検出  
 後は、該マッチトフィルタ回路は前記相関  
 ピークを検出し続け、他のマッチトフィル  
 タ回路は相関ピークに準ずる信号を検出  
 するマッチトフィルタ回路である。

【0013】請求項5の発明は、請求項4に記載され  
 たマッチトフィルタ回路において、符号分割  
 多重信号を復調する際に、相関ピークを検  
 出する際には1つの相関を取るべき信号を  
 全てのマッチトフィルタで検索し、相関  
 ピーク検出後は1つのマッチトフィルタ回  
 路は該相関を取るべき信号の相関ピークを  
 検出し続け、他のマッチトフィルタは他  
 の相関を取るべき信号を検出するマッ  
 チトフィルタ回路である。

【0014】

【発明の実施の形態】（請求項1の発明）図1は、  
 請求項1に係る発明のマッチトフィルタ回路の実  
 施例を示すブロック図である。図1において、  
 11(1)～11(n)はSH回路、12(1)～12(n)は乗算器、  
 13(1)～13(n)は加算器、14はマッチト  
 フィルタ回路全体のタイミングを制御するコ  
 ントローラ、15は相関を取るべき信号の係  
 数発生回路である。また、16はコントロー  
 ラ14からの制御信号に応じてSH回路をク  
 リアするタイミングを発生させるデコーダ  
 であり、17はn個の入力のうちの1つを選  
 ぶマルチプレクサである。次に動作を説明  
 する。それぞれ各段のSH回路11(1)～11  
 (n)は、デコーダ16によって、1周りに1  
 度その保持する内容がクリアされる。クリ  
 アされたSH回路11(1)～11(n)は、次  
 にクリアされるまで、相関をとるべき信  
 号の位相変化の1タイミング毎に、自身  
 の持つ値に対して入力信号と相関を取る  
 べき信号の係数を掛けた信号を加算され  
 る。図2において、12(1)～12(n)は入  
 力信号と相関を取るべき信号との積を取  
 る乗算器であり、13(1)～13

(n) は SH 回路の内容に乗算器出力を加える加算器である。

【0015】ある 1 つの SH 回路に対して、クリアした時点基準とし 1 タイミング毎の入力信号を  $\{d_1, d_2, \dots, d_n\}$ 、相関を取るべき信号の係数を  $\{h_1, h_2, \dots, h_n\}$  とすれば、クリアしてから最初の 1 タイ

$$S = h_1 d_1 + h_2 d_2 + \dots + h_{n-1} d_{n-1} + h_n d_n \quad (4)$$

となり、この式は前記式 (3) と同じことを表すことになる。つまり、1 つの SH 回路はクリアしてから 1 周期後に 1 度だけマッチトフィルタ回路が出力すべき値 S を持つことになる。よって、図 1 に示すように、サンプルホールド回路を、前記タイミングで順次動作するようにして複数個備え、複数のサンプルホールド回路の出力を前記相関を取るべき信号の前記タイミングで変化する位相の順に選択し、出力するようにすれば、つまり、クリアするタイミングが 1 タイミングずつずれている SH 回路を複数用意しておき、かつ、マルチプレクサ 17 で選択する SH 回路について、その SH 回路がクリアしてから 1 周期後の該 SH 回路の出力を選択するように、出力には常に (4) 式で与えられる SH 回路の出力信号が現

【0016】(請求項 2 の発明) 図 2 は、マッチトフィルタ回路の出力信号の模式図である。図 2 に示すように、通常、マッチトフィルタからの出力は 1 周期に 1 度相関ピークを出力する。図 2 の例では、タイミング  $T_i$  において、相関ピークが現われている。通常はこの相関ピークのみが通信にかかわってくる。一方、本発明の場合、SH 回路 11 (1) ~ 11 (n) のそれぞれは、入力信号と相関を取るべき信号とある位相での相関値を計算することとなる。このため、それぞれの SH 回路の各周期毎の出力信号はほとんど一定であり、ある特定の位相 (ここでは  $T_i$ ) で相関ピークを出力する SH 回路が、一周期分の相関を計算して検索された後は、その SH 回路を相関ピークを出力する SH 回路であると推定することができ、相関ピークに関わらない他の出力信号は不要になる。よって、図 2 の点線で示す相関部分を休止区間とし、この相関部分を担当する SH 回路を停止させておくことができる。

【0017】(請求項 3 の発明) さらに、相関ピークさえ検出することができるのであれば、請求項 2 に係る発明の前記実施例における休止区間に相当する SH 回路の部分削減することができる。この場合、図 1 において、用意する SH 回路の数を相関の 1 周期のタイミングの数 n より少ない数だけ用意すればよい。このマッチトフィルタ回路において、相関ピークが検出されない場合は、相関を取るべき信号の発生回路 15 で発生させる信号の位相をずらし、マッチトフィルタ回路で用意した SH 回路で相関ピークが現われるようにする。具体的には、例えば、相関を取るべき信号の発生タイミングを 1 周期に 1 度だけ 2 タイミング分シフトするなどの方法が

ミングで SH 回路が保持する値は  $h_1 d_1$ 、次のタイミングで  $h_1 d_1 + h_2 d_2$ 、さらに次のタイミングで  $h_1 d_1 + h_2 d_2 + h_3 d_3$  となる。このように 1 タイミング毎に入力信号と相関を取るべき信号とを加算していき、1 周期である n タイミング後には、SH 回路が保持している値 S は、

考えられる。また、入力信号と相関を取るべき信号の発生回路 15 を制御することにより、常に SH 回路が相関ピークを出力するよう追従させればよい。

【0018】(請求項 4 の発明) また、休止区間の SH 回路を RAKE 方式における各枝として使用することができる。このときの実施例を図 3 に示す。図 3 において、31 (1) ~ 31 (k) は請求項 3 に係る発明の実施例において示したマッチトフィルタ回路の部分であり、それぞれ図 4 に示す構成を持っている。図中、14 はコントローラ、32 は相関ピークを検出する回路 (ピーク検出回路) である。次に動作を説明する。相関ピークを検出する場合、マッチトフィルタ回路 31 から 31 (k) はそれぞれ、相関を取るべき信号の各位相を担当する。例えば、マッチトフィルタ回路 31 (1) は、図 5 に示すように、区間  $\{T_1, T_2, \dots, T_{j1}\}$  まで、マッチトフィルタ回路 31 (2) は区間  $\{T_{j1+1}, T_{j1+2}, \dots, T_{j2}\}$  までといったように、相関を取るべき各位相における相関値をマッチトフィルタ回路のいずれかが計算するように働く。これにより、各マッチトフィルタ回路の SH 回路を検索することにより、直達波による相関ピークを取る SH 回路を得ることができる。

【0019】直達波による相関ピークを検出した後は、相関ピークを出力する SH 回路を持つマッチトフィルタはそのまま相関ピークを出力するよう位相を保持し続ける。その他のマッチトフィルタは、例えば、この直達波による相関ピークを出力するマッチトフィルタを基準にして、それぞれ相関ピークに準ずる出力を検索し、そのような出力が見つかった場合にはその値を出力すれば、間接波による相関ピークを出力することができる。

【0020】(請求項 5 の発明) また、相関ピークを検出する際には、全てのマッチトフィルタ回路が 1 つの相関を取るべき信号を使用して相関を計算する必要があるが、相関ピークを検出した後は、必ずしも同じ相関を取るべき信号を使用する必要はない。これは、例えば、IS-95 などの CDMA 通信のように、複数のチャネル信号を符号分割して通信を行っている場合などに使用することができる。IS-95 の場合、受信信号は 1 つのパイロットチャネルと複数の情報伝達チャネル (ページングチャネルとトラフィックチャネル) 群からなり、それぞれのチャネルは異なる相関を取るべき信号を使用して拡散され、重ね合わされている。このような場合には、相関ピークを検出する際は全てのマッチトフィルタがパイロットチャネルを検索し、相関ピークを検出した

後は、1つのマッチトフィルタがパイロットチャネルを追い続け、残りのマッチトフィルタは相関を取るべき信号を変化させ、情報伝達チャネル群の中のチャネルを復調するために使用することができる。以上、説明は特に相関をとるべき回路に関して行ってきた。しかし、本発明のマッチトフィルタは、一般にFIRフィルタなど別のフィルタに関しても応用できるものである。

#### 【0021】

【発明の効果】請求項1に対応する効果：それぞれのSH回路で別個に総和を計算することによって、SH回路同士の値の受け渡しを無くし、相関値の誤差を小さくするとともに、各SH回路の出力の総和を取る回路を不要とし、マッチトフィルタ回路全体の規模を小さくすることができる。

【0022】請求項2に対応する効果：一旦相関ピークを出力するSH回路を推定した後は、相関ピークに関係のないSH回路とその周辺回路を停止させることにより、消費電力を抑えることができる。

【0023】請求項3に対応する効果：相関を取るべき信号の位相を制御することによって相関ピークを検出するようにし、これによって必要とするSH回路数を減らすことにより、消費電力を抑えるとともに、回路規模を小さくすることができる。

【0024】請求項4に対応する効果：複数のマッチトフィルタ回路で相関を取るべき信号の1周分の相関を計算するようにし、直達波による相関ピークを検出した後は、1つのマッチトフィルタが直達波による相関ピークを出力するようにし、その他のマッチトフィルタは間接波による相関ピークを検出するようにするから、RAK

E方式が簡単に実現でき、復調能力の高い受信機を安価にて製作することができる。

【0025】請求項5に対応する効果：パイロットチャネルの相関ピークを検出する際には、複数のマッチトフィルタでパイロットチャネルの相関ピークを検出し、相関ピークを検出した後は、1つのマッチトフィルタで相関ピークを出力し、他のマッチトフィルタは情報信号を復調するようにするから、相関ピークの検出回路と情報復調回路が1つで済むため、回路の簡略化を行うことができる。

#### 【図面の簡単な説明】

【図1】 マッチトフィルタ回路の実施例を示すブロック図である。

【図2】 図1に示すマッチトフィルタ回路における出力信号の模式図である。

【図3】 図1に示すマッチトフィルタ回路のRAKE方式での使用例を示す回路のブロック図である。

【図4】 図3に示すマッチトフィルタ回路の構成を示すブロック図である。

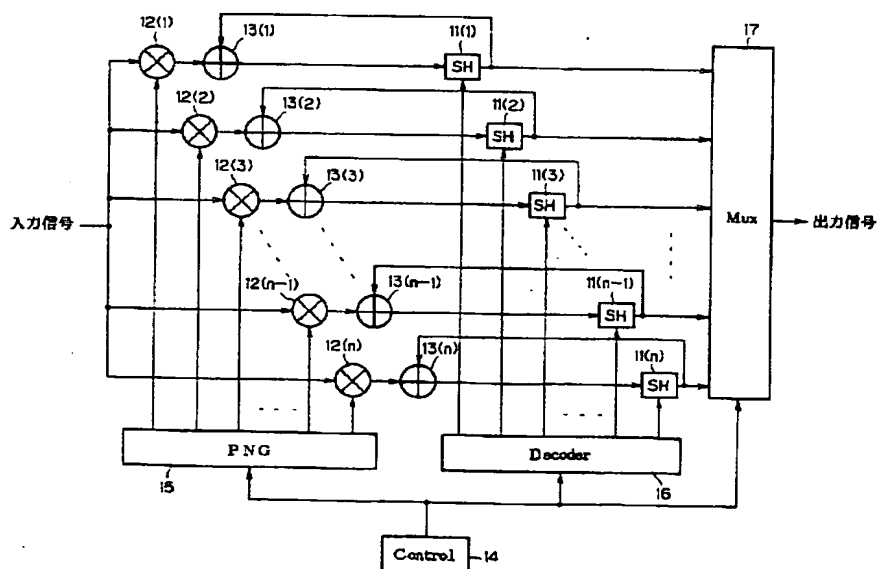
【図5】 図3に示す回路における出力信号の模式図である。

【図6】 従来のマッチトフィルタ回路のブロック図である。

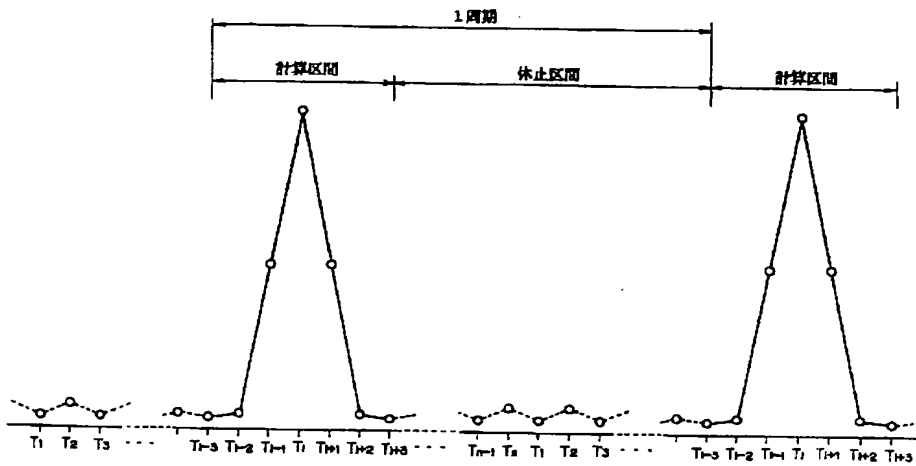
#### 【符号の説明】

11…SH（サンプルホールド回路）、12…乗算器、13…加算器、14…コントローラ、15…計係発生回路、16…デコーダ、17…マルチプレクサ、31…マッチトフィルタ回路、32…ピーク検出回路。

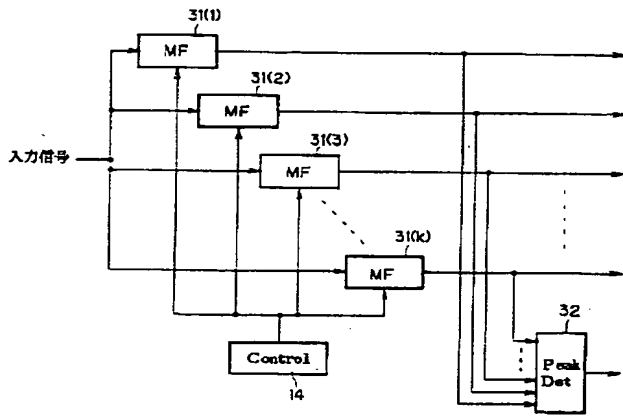
【図1】



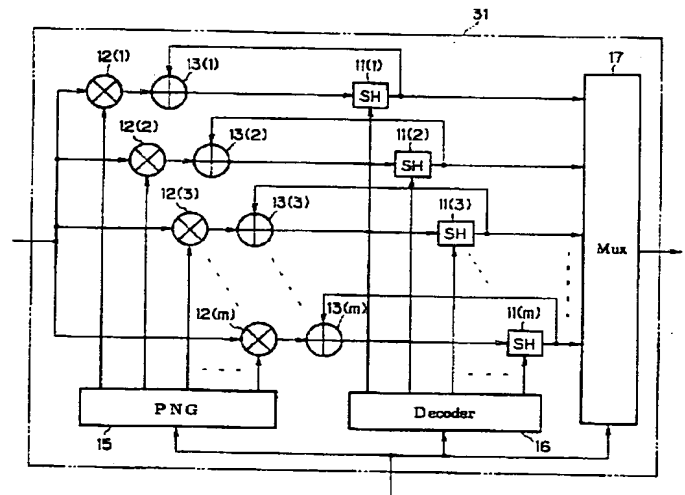
【図 2】



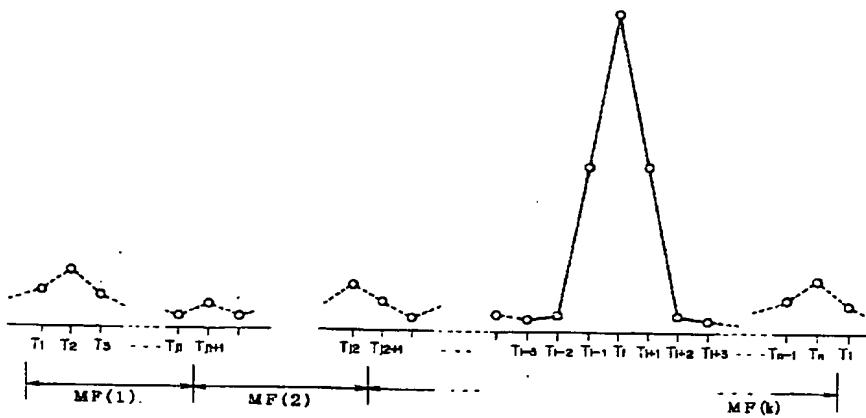
【図 3】



【図 4】



【図 5】



【図 6】

